

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-049438

(43)Date of publication of application : 15.02.2002

(51)Int.Cl. G06F 1/10
 G06F 1/12
 H01L 27/04
 H01L 21/822
 H03L 7/081
 H03L 7/08
 H04L 7/033
 // H03K 5/13
 H04L 25/40

(21)Application number : 2000- (71)Applicant : HITACHI LTD
 235125

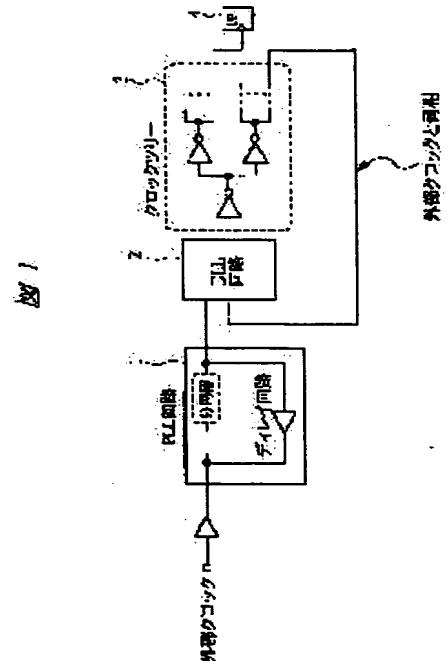
(22)Date of filing : 03.08.2000 (72)Inventor : SUZUKI KAZUHISA
 TAKAHASHI TOSHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of reducing clock skew in an LSI by reducing the jitter of an PLL circuit single body.

SOLUTION: A clock phase matching circuit using a PLL circuit constituting a logical LSI by a CMOS gate array is composed of a PLL circuit 1 capable of self-oscillation by performing feedback by the inside loop, a DLL circuit 2 for matching the phase of the clocks signal of the output part of the PLL circuit 1 with the phase of the clock signal of a clock tree terminal part, and a clock tree 3 for distributing inside clock signals generated by the DLL circuit 2. Then, the PLL circuit 1 is allowed to oscillate by the inside loop so that it is possible to reduce any clock skew in the LSI by reducing the jitter of the PLL circuit 1 single body, and that it is possible to reduce any inter-LSI clock skew by using the DLL circuit 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-49438

(P2002-49438A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 6 F 1/10		H 0 3 K 5/13	5 B 0 7 9
	1/12	H 0 4 L 25/40	C 5 F 0 3 8
H 0 1 L 27/04		G 0 6 F 1/04	3 3 0 A 5 J 0 0 1
	21/822		3 4 0 A 5 J 1 0 6
H 0 3 L 7/081		H 0 1 L 27/04	H 5 K 0 2 9

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-235125(P2000-235125)

(22) 出願日 平成12年8月3日 (2000.8.3)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 和久

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 高橋 敏郎

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

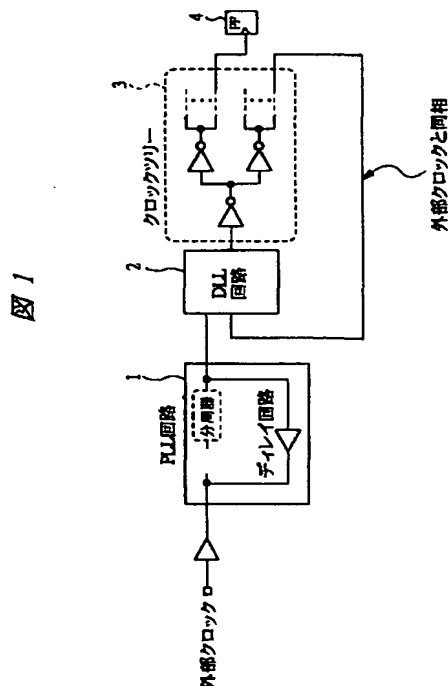
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 PLL回路単体のジッターを低減することによってLSI内のクロックスキューを低減することができる半導体装置を提供する。

【解決手段】 CMOSゲートアレイによる論理LSIを構成するPLL回路を用いたクロック位相合わせ回路であって、内部ループでフィードバックをかけて自己発振可能なPLL回路1と、このPLL回路1の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路2と、このDLL回路2から出力された内部クロック信号を分配するクロックツリー3などから構成され、PLL回路1を内部ループで発振させることによってPLL回路1単体のジッターを低減してLSI内のクロックスキューを低減し、かつDLL回路2を用いることによってLSI間のクロックスキューを低減することができる構成となっている。



【特許請求の範囲】

【請求項1】 内部ループでフィードバックをかけて自己発振可能なPLL回路と、

前記PLL回路の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記PLL回路は、前記PLL回路から出力されたクロック信号を分周する分周器と、前記PLL回路の参照クロック信号を入力する入力回路とディレイが等しいディレイ回路とを有し、

前記PLL回路のフィードバックループに前記分周器と前記ディレイ回路とが接続されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記DLL回路は、前記PLL回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器の出力信号をクロック信号に用いたシフトレジスタと、前記シフトレジスタの出力結果に応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記シフトレジスタとを組み合わせる前記ディレイ回路のディレイ値を変え、電源投入時のみ位相合わせを行うことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置であって、前記DLL回路は、前記PLL回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器からのアップ信号/ダウン信号に応じてインクリメント/デクリメントするアップダウンカウンタと、前記アップダウンカウンタの出力結果に応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記アップダウンカウンタとを組み合わせる前記ディレイ回路のディレイ値を変え、動作時に位相が大きくずれた場合のみ位相合わせを行うことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置であって、前記DLL回路は、前記PLL回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器からのアップ信号/ダウン信号に応じてレベルを生成するチャージポンプと、前記チャージポンプのレベルに応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記チャージポンプとを組み合わせる前記ディレイ回路のディレイ値を変え、アナログ的に位相合わせを行うことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のクロ

ックスキュー低減技術に関し、特にシステムの高速化に伴い、システムのクロック信号とLSI内部のクロックスキューが問題となるLSIにおいて、このLSI内にスキューの小さいクロック信号を供給する方法として好適な半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】近年、システムの高速化に伴い、システムのクロック信号とLSI内部のクロックスキューが問題となっている。そこで、現状のLSIは、PLL (Phase Locked Loop) 回路を用いてシステムクロック信号とLSI内部のクロック信号の位相を同期させ、またPLL回路を使用することにより、入力クロック信号の周波数をLSI内部で逡倍することができ

【0003】このPLL回路の特性として重要なことはジッター性能で、PLL回路のジッターがクロックスキューに大きく影響を与える。LSIの動作周波数を高くするには、クロックスキュー (= PLL回路のジッター) を低減しなければならないが、PLL回路の多くはアナログ方式の回路を採用しているため、近年、LSIの電源の低電圧化が進むにつれてノイズなどの影響によりジッターの小さいPLL回路を設計するのが難しくなっている。

【0004】たとえば、CMOSゲートアレイでは、入力クロック信号の周波数を逡倍したり、チップ間のクロックスキューを低減する目的でPLL回路を用いている。このPLL回路は、クロックツリー末端部のクロック信号の位相と入力された参照クロック信号の位相とが合うように位相調整を行うことにより、チップ間でのクロックツリー末端部のスキューがなくなるようにしている。

【0005】なお、このようなPLL回路に関する技術としては、たとえば平成2年2月10日、日本放送出版協会発行の「電子回路ノウハウ 発振回路の完全マスター」P37に記載される技術などが挙げられる。

【0006】

【発明が解決しようとする課題】ところで、前記のようなPLL回路の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。以下において、PLL回路を用いたクロック位相合わせ回路を示す図12、この図12の回路を含むLSIの接続を示す図13を用いて、本発明の前提となるLSIの一例を説明する。

【0007】図12のように、PLL回路を用いたクロック位相合わせ回路は、PLL回路11、クロックツリー13、ディレイ回路16などからなり、外部クロック信号から内部クロック信号が生成されるような構成となっている。このPLL回路11を用いたクロック位相合わせ回路を含むLSIは、図13のように接続され、各LSI (1~n) に対して外部クロック信号が共通に入

力されている。

【0008】前記PLL回路を用いたクロック位相合わせ回路を含むLSIでは、PLL回路11から出力されたクロック信号は必要に応じて分周器15で分周された後にクロックツリー13に供給され、クロックツリー13の末端部で各フリップフロップ回路14にクロック信号が供給される。フリップフロップ回路14に供給されたクロック信号と同相のクロック信号がPLL回路11にフィードバックされる。PLL回路11はLSI外部から入力されたクロック信号とフィードバッククロック信号の位相を比較して位相合わせを行う。

【0009】この場合に、フィードバックループにPLL回路11の参照クロック信号を入力する入力回路とディレイが等しいディレイ回路16を挿入することにより、LSI外部のクロック信号とフリップフロップ回路14に供給されるクロック信号の位相が等しくなり、LSI間のクロック信号の位相も等しくなる。この時、フィードバックループにノイズなどによるジッターが生じると、PLL回路11はジッターを含んだクロック信号に位相を合わせようとするため、PLL回路11単体のジッターが増大してしまい、その結果、LSI内のクロックスキューが増大してしまう。

【0010】従って、前記のようなPLL回路においては、PLL回路単体のジッターが小さくても、クロックツリーにノイズが加わるなどしてクロックツリーの末端部の位相がジッターを含んでいると、PLL回路はそのジッターを含んだ位相に合わせようとするためにPLL回路の出力クロック信号のジッターが増加し、結果的にチップ内のクロックスキューが増大してしまうことが考えられる。

【0011】そこで、本発明の目的は、PLL回路を用いたクロック位相合わせ回路を含むLSIにおいて、PLL回路単体のジッターを低減することによってLSI内のクロックスキューを低減することができる半導体装置を提供するものである。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】本発明において、PLL回路はクロックツリーの末端部の位相に対して位相合わせを行うのではなく、PLL回路の内部でフィードバックをかけて自己発振させることにより、ノイズなどの影響をなくし、PLL回路単体のジッターを低減し、かつチップ間でPLL回路の出力部のクロック信号の位相を合わせる。そのままだでは、チップによってクロックツリー末端部の位相が異なってしまうので、PLL回路の出力部のクロック信

号の位相とクロックツリー末端部のクロック信号の位相を合わせるためにDLL(Delay Locked Loop)を用いることにより、LSI間でのクロックスキューをなくすようにしたものである。

【0015】すなわち、本発明による半導体装置は、内部ループでフィードバックをかけて自己発振可能なPLL回路と、このPLL回路の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路とを有するものである。これにより、PLL回路を内部ループで発振させることによりPLL回路単体のジッターを低減してLSI内のクロックスキューを低減し、かつDLL回路を用いることによりLSI間のクロックスキューを低減することができる。

【0016】前記半導体装置の構成において、PLL回路は、このPLL回路から出力されたクロック信号を分周する分周器と、PLL回路の参照クロック信号を入力する入力回路とディレイが等しいディレイ回路とを、PLL回路のフィードバックループに接続するようにしたものである。

【0017】さらに、前記半導体装置を構成する第1のDLL回路は、PLL回路からの出力クロック信号の位相とクロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、この位相比較器の出力信号をクロック信号に用いたシフトレジスタとを組み合わせ、ディレイ回路のディレイ値をシフトレジスタの出力結果に応じて変えて、電源投入時のみ位相合わせを行うようにしたものである。

【0018】また、第2のDLL回路は、PLL回路からの出力クロック信号の位相とクロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、この位相比較器からのアップ信号/ダウン信号に応じてインクリメント/デクリメントするアップ/ダウンカウンタとを組み合わせ、ディレイ回路のディレイ値をアップ/ダウンカウンタの出力結果に応じて変えて、動作時に位相が大きすぎた場合のみ位相合わせを行うようにしたものである。

【0019】さらに、第3のDLL回路は、PLL回路からの出力クロック信号の位相とクロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、この位相比較器からのアップ信号/ダウン信号に応じてレベルを生成するチャージポンプとを組み合わせ、ディレイ回路のディレイ値をチャージポンプのレベルに応じて変えて、アナログ的に位相合わせを行うようにしたものである。

【0020】よって、前記半導体装置によれば、PLL回路単体のジッターを低減することにより、LSI内のクロックスキューを低減することができる。この結果、LSI内のクロックスキューを低減することにより、LSIの動作周波数を向上させることができる。また、LSI間のクロックスキューも低減できるので、システム

全体の動作周波数を向上させることができる。

【0021】すなわち、LSIの最大動作周波数を向上するには、フリップフロップ回路、通常ゲートのディレイを低減するとともに、クロックスキューを低減することが重要となる。前述のような本発明の前提となるLSIのクロック位相合わせ方法では、フィードバック系にノイズなどによりジッターが生じると、PLL回路がそのジッターを持った位相に合わせようとするためにPLL回路単体のジッターが増え、結果的にクロックスキューが増えてしまう。これに対して、本発明では、PLL回路を自己発振させるためにPLL回路単体のジッターを小さくすることができ、クロックスキューも低減することができる。その結果、LSIの最大動作周波数を向上することができる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0023】（実施の形態1）図1は本発明の実施の形態1の半導体装置において、PLL回路を用いたクロック位相合わせ回路を示すブロック図、図2はPLL回路を示すブロック図、図3はDLL回路を示すブロック図、図4は位相比較器を示す回路図、図5はシフトレジスタとステップ制御ディレイ回路を示す回路図、図6はディレイ調整のシーケンスを示すタイミング図である。

【0024】まず、図1により、本実施の形態の半導体装置における、PLL回路を用いたクロック位相合わせ回路の一例の構成を説明する。本実施の形態のPLL回路を用いたクロック位相合わせ回路は、たとえばCMOSゲートアレイによる論理LSIとされ、内部ループでフィードバックをかけて自己発振可能なPLL回路1と、このPLL回路1の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路2と、このDLL回路2から出力された内部クロック信号を分配するクロックツリー3などからなり、外部クロック信号が入力され、この外部クロック信号から内部クロック信号が生成され、LSIを構成する各論理ブロック（図示せず）に接続される各フリップフロップ回路（FF）4に供給されるような構成となっている。

【0025】PLL回路1は、たとえば図2に示すように、LSI外部入力の参照クロック信号とフィードバッククロック信号の位相を比較する位相周波数比較器PFCと、この位相周波数比較器PFCの出力（アップ信号UP、ダウン信号DN）を受けてレベルを生成するチャージポンプCPと、このチャージポンプCPの出力から発振器を制御するレベルを生成するループフィルタ容量C1、C2を含む電圧-電流変換回路V11～V13と、位相周波数比較器PFCの出力を受けてレベルを生

成する時間-電流変換回路TIと、電圧-電流変換回路V11～V13と時間-電流変換回路TIの出力演算結果を受けて発振する電流制御発振回路CCOと、この電流制御発振回路CCOの出力クロック信号を分周する分周器5と、フィードバックループに挿入される、参照クロック信号を入力する入力回路とディレイが等しいディレイ回路6などから構成されている。図2では、ループフィルタが2段で構成されたPLL回路1を例に示したが、PLL回路1は必ずしも図2のタイプでなくても構わない。

【0026】DLL回路2は、たとえば図3に示すように、PLL回路1からの出力クロック信号の位相とクロックツリー3の末端部からのフィードバッククロック信号の位相を比較する位相比較器PDと、この位相比較器PDの出力信号（カウントアップ信号COUNT UP）をクロック信号に用いたシフトレジスタSREGと、このシフトレジスタSREGの出力結果に応じてステップ状にディレイ値を変えるステップ制御ディレイ回路SCDなどから構成されている。このDLL回路2では、位相比較器PDで位相比較をした結果、PLL回路1の出力クロック信号の位相の方が早い場合、カウントアップ信号COUNT UPが出力され、シフトレジスタSREGが1ビットシフトしてステップ制御ディレイ回路SCDのディレイパスが切り替わり、ディレイ値が大きくなる。PLL回路1の出力クロック信号の位相の方が早い間、同じ動作を繰り返し、出力クロック信号とフィードバッククロック信号の位相がほぼ揃い、カウントアップ信号COUNT UPが出力されなくなった所でディレイ値が固定される。

【0027】このDLL回路2の位相比較器PDは、たとえば図4に示すように、PLL回路1の出力クロック信号とクロックツリー3の末端部からのフィードバッククロック信号がそれぞれ入力される、2系統の複数のインバータおよび複数のNANDゲートからなる論理回路から構成されている。この位相比較器PDでは、PLL回路1の出力クロック信号に対してフィードバッククロック信号の位相が遅れている場合にはカウントアップ信号COUNT UPとしてアップ信号UPを、進んでいる場合にはダウン信号DNをそれぞれ出力する。

【0028】DLL回路2のシフトレジスタSREGとステップ制御ディレイ回路SCDは、たとえば図5に示すように、位相比較器PDからのカウントアップ信号COUNT UPやパワーオンリセット信号がそれぞれ入力される、n段のフリップフロップおよびインバータからなるシフトレジスタSREGと、PLL回路1の出力クロック信号と各シフトレジスタSREGの出力信号がそれぞれ入力される、n段のNANDゲートおよびインバータからなるステップ制御ディレイ回路SCDから構成されている。このシフトレジスタSREGでは、カウントアップ信号COUNT UPが入力される度に次段

のシフトレジスタSREGに“H”信号が伝播していき、出力信号DC1～DCnが“H”レベルになった所でクロック信号が折り返されるようになるので、ディレイが増加する。このステップ制御ディレイ回路SCDは、図5に示した回路以外に負荷容量でディレイ値を調整する方式でもよい。

【0029】クロックツリー3は、DLL回路2から出力された内部クロック信号を分配して、複数の論理ブロックのそれぞれに接続された各フリップフロップ回路4に供給するクロック信号分配回路である。

【0030】次に、本実施の形態の作用について、図6により、ディレイ調整のシーケンスを説明する。

【0031】たとえば、PLL回路1の出力クロック信号とフィードバッククロック信号の位相が揃っていない間は、カウントアップ信号COUNT UPが出力されて、シフトレジスタSREGに“H”信号が伝播していく。この際に、フィードバッククロック信号が遅らされる形で位相がずれていき、シフトレジスタSREGの出力信号DC3まで“H”レベルになった所でPLL回路1の出力クロック信号とフィードバッククロック信号の位相が揃い、ディレイはそこで固定される。

【0032】すなわち、1段目のシフトレジスタSREGの出力信号DC1でフィードバッククロック信号が遅れる方向にディレイ調整され、さらに2段目、3段目のシフトレジスタSREGの出力信号DC2、DC3でフィードバッククロック信号が遅れる方向にディレイ調整されることで、PLL回路1の出力クロック信号とフィードバッククロック信号の位相が揃う。このように位相が揃うと、次段以降のシフトレジスタSREGの出力信号DC4～DCnは“L”レベルになる。

【0033】このPLL回路1の出力クロック信号とフィードバッククロック信号のディレイ調整においては、常に位相調整を行うと、それ自体がジッターの原因となる可能性があるため、LSIの通常動作時に温度変化などにより位相が大きくずれない限り、ディレイ調整はLSIの起動時、電源投入時のみ行った方がよい。

【0034】従って、本実施の形態によれば、PLL回路1から出力されたクロック信号を必要に応じてPLL回路1の内部の分周器5で分周し、PLL回路1の内部でフィードバックループをかけ、この時、フィードバックループにPLL回路1の参照クロック信号を入力する入力回路とディレイが等しいディレイ回路6を挿入することにより、LSI外部のクロック信号とPLL回路1の出力クロック信号の位相が等しくなる。また、PLL回路1の内部ループを介してフィードバックさせるので、フィードバッククロック信号は位相変動が少なく、PLL回路1のジッターも低く抑えることができる。

【0035】さらに、LSI間でフリップフロップ回路4に供給されるクロック信号の位相が揃わない問題については、位相を揃えるためにDLL回路2を用いること

により、PLL回路1から出力されたクロック信号とクロックツリー3の末端部でのクロック信号の位相を揃えることができる。これにより、LSI間でフリップフロップ回路4には同じ位相のクロック信号を供給することができる。なお、クロックツリー3の末端部ではノイズなどにより多少のジッターが生じるが、PLL回路1単体のジッターが小さいので、トータルでのジッターは前述した前提技術のLSIよりも低減することができる。

【0036】(実施の形態2) 図7は本発明の実施の形態2の半導体装置におけるPLL回路を用いたクロック位相合わせ回路において、DLL回路を示すブロック図である。

【0037】本実施の形態のPLL回路を用いたクロック位相合わせ回路は、前記実施の形態1と同様に、たとえばCMOSゲートアレイによる論理LSIとされ、内部ループでフィードバックをかけて自己発振可能なPLL回路1と、このPLL回路1の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路2aと、このDLL回路2aから出力された内部クロック信号を分配するクロックツリー3などから構成され、前記実施の形態1との相違点は、DLL回路2aの回路構成を変更して、LSIの動作時に位相が大きくずれた場合のみ位相合わせを行うようにした点である。

【0038】すなわち、前記実施の形態1では、DLL回路2による位相合わせは電源投入時のみ行う方式を示し、その方が望ましいと述べたが、LSIの動作時に位相が大きくずれた場合を考えて、LSIの通常動作時にも位相が揃わなくなったら位相合わせを行う方式が本実施の形態である。

【0039】本実施の形態におけるDLL回路2aは、たとえば図7に示すように、PLL回路1からの出力クロック信号の位相とクロックツリー3の末端部からのフィードバッククロック信号の位相を比較する位相比較器PDと、この位相比較器PDからのアップ信号UP/ダウン信号DNに応じてインクリメント/デクリメントするアップダウンカウンタUDCと、このアップダウンカウンタUDCの出力で設定されるレジスタREGと、このレジスタREGの値をデコードするデコーダDECと、このデコーダDECの出力に応じてステップ状にディレイ値を変えるステップ制御ディレイ回路SCDなどから構成されている。

【0040】このDLL回路2aにおいては、PLL回路1の出力クロック信号とフィードバッククロック信号の位相比較を行って、フィードバッククロック信号の位相が遅れていたらアップ信号UPでアップダウンカウンタUDCをインクリメントし、進んでいたらダウン信号DNでデクリメントすることにより、レジスタREGを設定し、このレジスタREGの値をデコーダDECでデコードしてステップ制御ディレイ回路SCDを制御す

る。アップダウンカウンタUDCは、位相誤差が小さいときはインクリメント／デクリメントしないように設定して、DLL回路2a自体のジッターの発生源にならないようにする。

【0041】従って、本実施の形態によれば、DLL回路2aの回路構成を変更することにより、LSIの動作時に位相が大きくずれた場合のみ位相合わせを行うことができる。この場合に、前記実施の形態1と同様に、LSI外部のクロック信号とPLL回路1の出力クロック信号の位相が等しくなり、またPLL回路1のジッターも低く抑えることができ、さらにPLL回路1から出力されたクロック信号とクロックツリー3の末端部でのクロック信号の位相を揃えて、LSI間でフリップフロップ回路4には同じ位相のクロック信号を供給することができる。

【0042】(実施の形態3) 図8は本発明の実施の形態3の半導体装置におけるPLL回路を用いたクロック位相合わせ回路において、DLL回路を示すブロック図、図9はチャージポンプを示す回路図、図10は電圧-電流変換回路を示す回路図、図11は電流制御ディレイ回路を示す回路図である。

【0043】本実施の形態のPLL回路を用いたクロック位相合わせ回路は、前記実施の形態1および2と同様に、たとえばCMOSゲートアレイによる論理LSIとされ、内部ループでフィードバックをかけて自己発振可能なPLL回路1と、このPLL回路1の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路2bと、このDLL回路2bから出力された内部クロック信号を分配するクロックツリー3などから構成され、前記実施の形態1および2との相違点は、DLL回路2bの回路構成を変更して、アナログ的に位相合わせを行うようにした点である。

【0044】すなわち、前記実施の形態1および2のように、ステップ制御ディレイ回路SCDではPLL回路1の出力クロック信号とフィードバッククロック信号の位相差の最大値はディレイの刻み幅となってしまうので、原理的に位相を完全に揃えることができるアナログ方式が本実施の形態である。

【0045】本実施の形態におけるDLL回路2bは、たとえば図8に示すように、PLL回路1からの出力クロック信号の位相とクロックツリー3の末端部からのフィードバッククロック信号の位相を比較する位相比較器PDと、この位相比較器PDからのアップ信号UP／ダウン信号DNに応じてレベルを生成するチャージポンプCPと、このチャージポンプCPのレベルに応じて変換するループフィルタ容量Cを含む電圧-電流変換回路VIと、この電圧-電流変換回路VIからのレベル電圧VP／VNに応じてディレイ値を変える電流制御ディレイ回路CCDなどから構成されている。

【0046】このDLL回路2bにおいては、PLL回路1の出力クロック信号とフィードバッククロック信号の位相差に応じてアップ信号UPまたはダウン信号DNが位相比較器PDから出力され、アップ／ダウン信号を受けてチャージポンプCPがレベルを生成する。このチャージポンプCPのレベルに応じて電圧-電流変換回路VIが電流制御ディレイ回路CCDの制御信号を生成し、その制御信号に応じて電流制御ディレイ回路CCDのディレイが変化する。前述したようにクロック信号系の位相変動が大きい場合、常に位相比較を行うとDLL回路2b自体がジッターの発生源になってしまうので、位相変動が比較的小さい場合に有効である。

【0047】チャージポンプCPは、たとえば図9に示すように、PMOSTランジスタ、NMOSTランジスタ、インバータおよび容量からなり、アップ信号UPが入力されると、PMOSTランジスタMPがONして容量Cに電荷をチャージして出力電圧VCPの電圧を高くし、ダウン信号DNが入力されると、NMOSTランジスタMNがONして容量Cから電荷がディスチャージして出力電圧VCPの電圧を低くする。

【0048】電圧-電流変換回路VIは、たとえば図10に示すように、PMOSTランジスタおよびNMOSTランジスタからなり、チャージポンプCPの出力電圧VCPに応じた電流iをカレントミラー回路でn倍に増幅した後、電圧VN、VPの電位を生成する。

【0049】電流制御ディレイ回路CCDは、たとえば図11に示すように、n段のPMOSTランジスタおよびNMOSTランジスタからなり、インバータチェーンの電源側にPMOSTランジスタを、グランド側にNMOSTランジスタを挿入して、それらのPMOS／NMOSTランジスタのゲートをそれぞれ電圧VP／VNで制御することにより、インバータチェーンのディレイを制御する。

【0050】従って、本実施の形態によれば、DLL回路2bの回路構成を変更することにより、アナログ的に位相合わせを行うことができる。この場合に、前記実施の形態1および2と同様に、LSI外部のクロック信号とPLL回路1の出力クロック信号の位相が等しくなり、またPLL回路1のジッターも低く抑えることができ、さらにPLL回路1から出力されたクロック信号とクロックツリー3の末端部でのクロック信号の位相を揃えて、LSI間でフリップフロップ回路4には同じ位相のクロック信号を供給することができる。

【0051】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0052】たとえば、本発明のLSIを構成するPLL回路、DLL回路のブロック構成、さらにこれらの回

路を構成する回路構成については、前述した例に限定されるものではなく、同様の機能を有するブロック構成および回路構成に種々変更することが可能である。

【0053】また、本発明は、PLL回路を内蔵したLSIに効果的であるが、さらにPLL回路を内蔵したLSIを用いて構築したシステムなどについても応用することができる。

【0054】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】(1) 内部ループでフィードバックをかけて自己発振可能なPLL回路と、このPLL回路の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路とを有することで、PLL回路単体のジッターを低減することができるので、LSI内のクロックスキューを低減することが可能となる。

【0056】(2) 前記(1)により、LSI内のクロックスキューを低減することができるので、LSIの動作周波数を向上させることが可能となる。

【0057】(3) 前記(1)により、LSI間のクロックスキューを低減することができるので、システム全体の動作周波数を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置において、PLL回路を用いたクロック位相合わせ回路を示すブロック図である。

【図2】本発明の実施の形態1の半導体装置において、PLL回路を示すブロック図である。

【図3】本発明の実施の形態1の半導体装置において、DLL回路を示すブロック図である。

【図4】本発明の実施の形態1の半導体装置において、位相比較器を示す回路図である。

【図5】本発明の実施の形態1の半導体装置において、シフトレジスタとステップ制御ディレイ回路を示す回路図である。

【図6】本発明の実施の形態1の半導体装置において、ディレイ調整のシーケンスを示すタイミング図である。

【図7】本発明の実施の形態2の半導体装置におけるPLL回路を用いたクロック位相合わせ回路において、DLL回路を示すブロック図である。

【図8】本発明の実施の形態3の半導体装置におけるPLL回路を用いたクロック位相合わせ回路において、DLL回路を示すブロック図である。

【図9】本発明の実施の形態3の半導体装置において、チャージポンプを示す回路図である。

【図10】本発明の実施の形態3の半導体装置において、電圧-電流変換回路を示す回路図である。

【図11】本発明の実施の形態3の半導体装置において、電流制御ディレイ回路を示す回路図である。

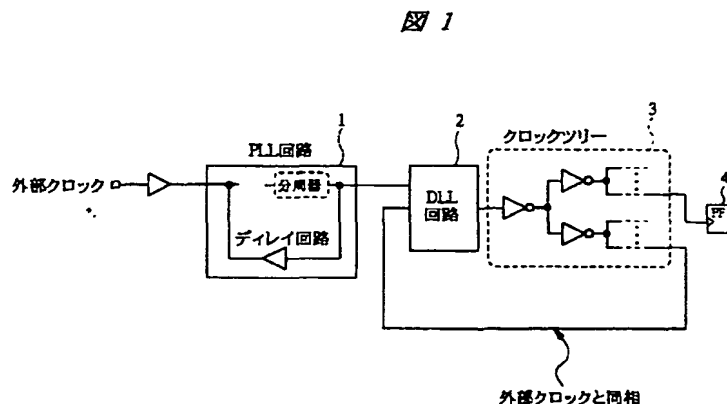
【図12】本発明の前提となる半導体装置におけるPLL回路を用いたクロック位相合わせ回路を示すブロック図である。

【図13】本発明の前提となる半導体装置の接続を示す説明図である。

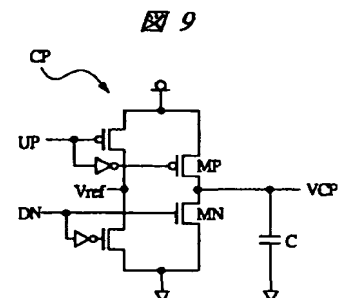
【符号の説明】

- 1, 11 PLL回路
- 2, 2a, 2b DLL回路
- 3, 13 クロックツリー
- 4, 14 フリップフロップ回路
- 5, 15 分周器
- 6, 16 ディレイ回路

【図1】

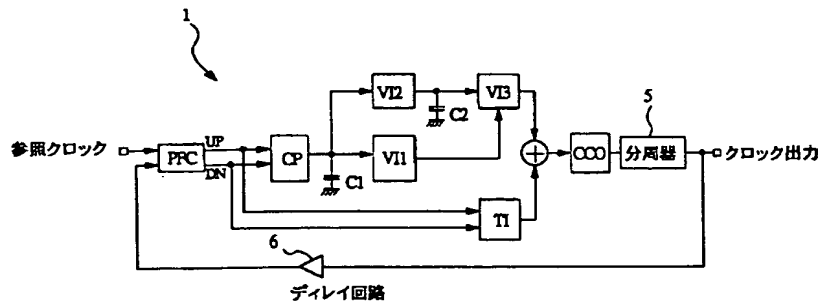


【図9】



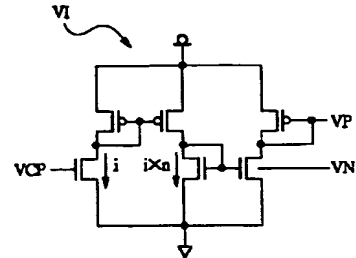
【図2】

図 2



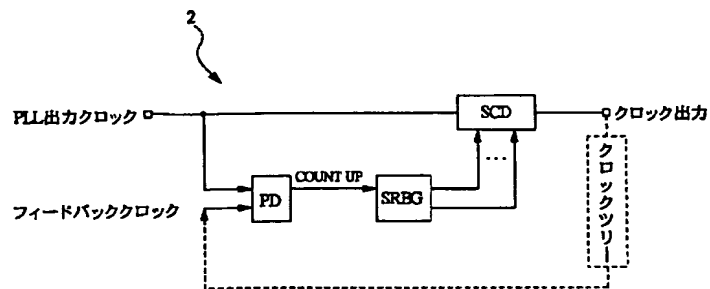
【図10】

図 10



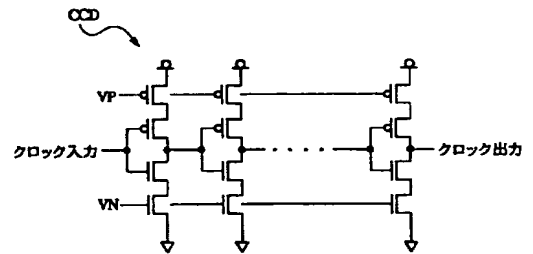
【図3】

図 3



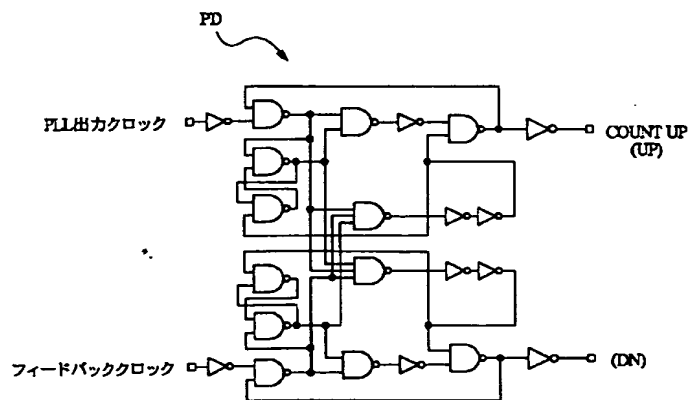
【図11】

図 11

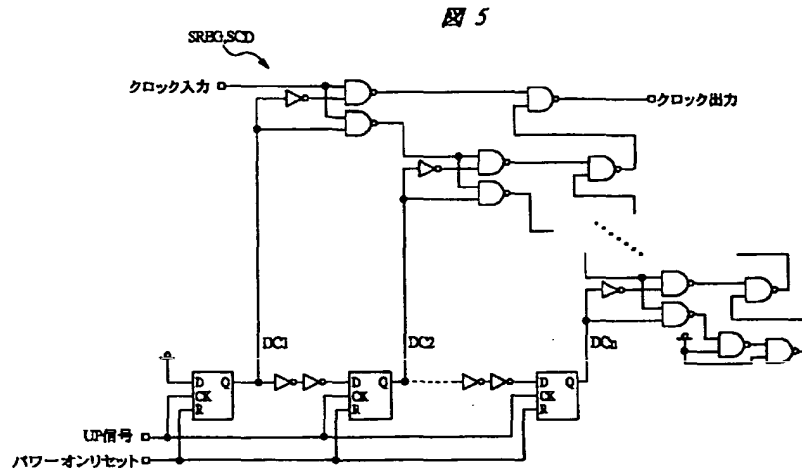


【図4】

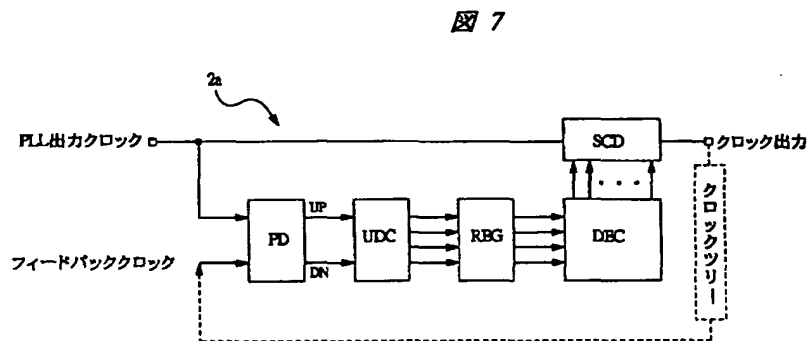
図 4



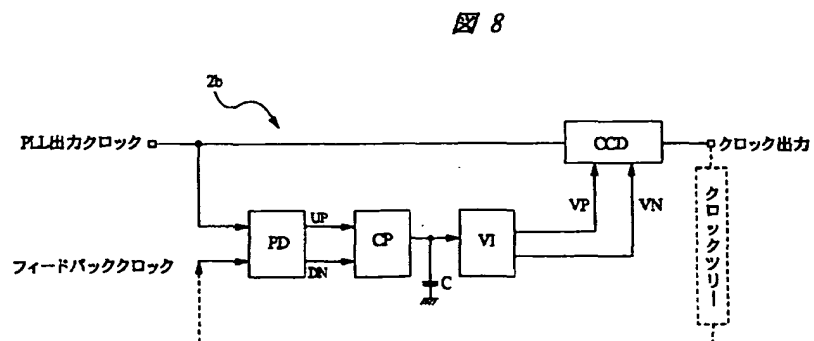
【図5】



【図7】

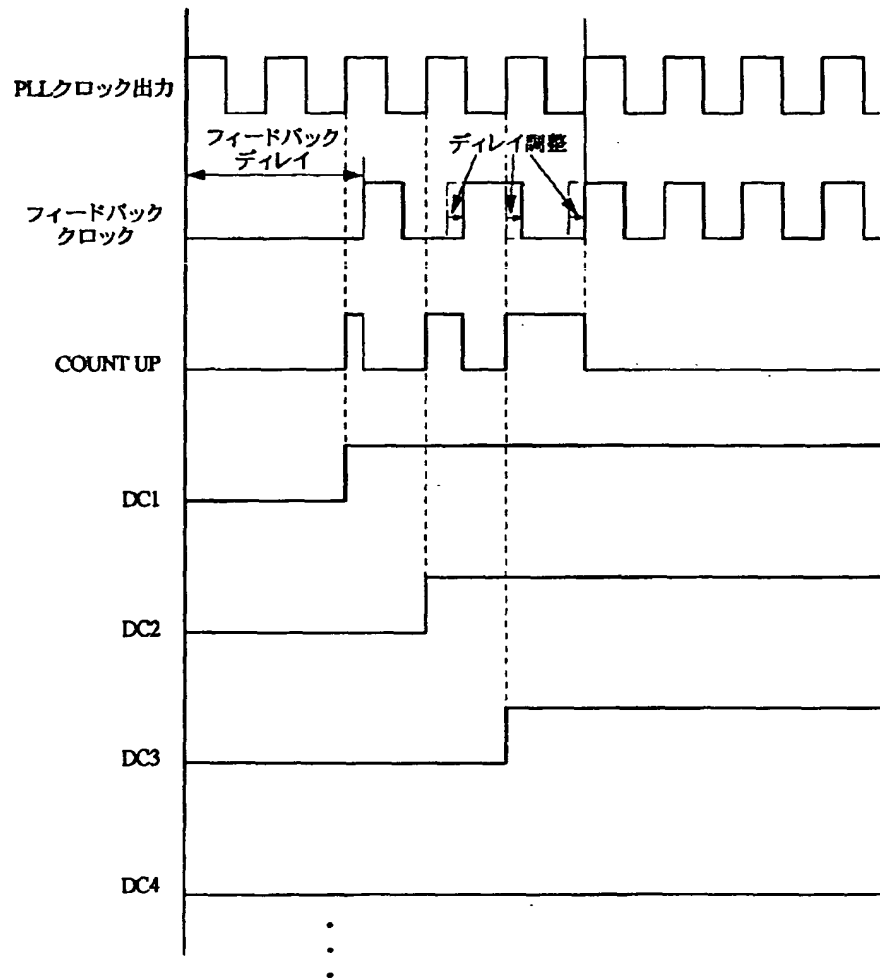


【図8】



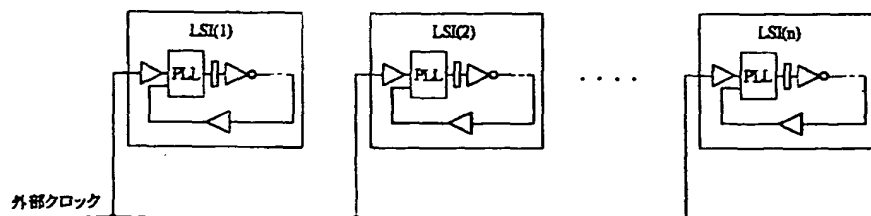
【図6】

図 6



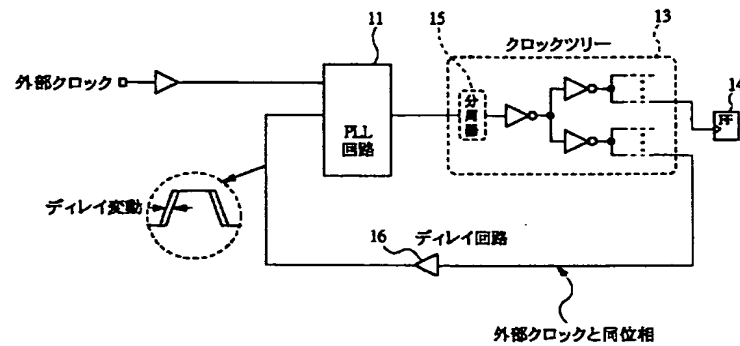
【図13】

図 13



【図12】

図 12



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ノート (参考)
H 0 3 L 7/08		H 0 3 L 7/08	J 5 K 0 4 7
H 0 4 L 7/033			H
// H 0 3 K 5/13		H 0 4 L 7/02	B
H 0 4 L 25/40			

F ターム (参考) 5B079 BC03 BC07 CC02 CC14 DD08
DD13
5F038 BG02 BG05 BG06 BH19 CA04
CD09 DF01 EZ20
5J001 AA05 BB00 BB05 BB10 BB12
BB14 BB20 BB22 BB23 BB24
DD01 DD09
5J106 AA04 CC21 CC52 CC58 DD19
DD32 DD39 KK00 KK17 KK25
5K029 AA02 DD04 DD15 LL08 LL19
5K047 AA06 AA08 GG09 GG45 MM27
MM36 MM46 MM55 MM58 MM63